



Docket No.: W&B-INF-1951

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: October 23, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/676,597  
Applicant : Peter Beer  
Filed : October 1, 2003  
Art Unit : to be assigned  
Examiner :

Docket No. : W&B-INF-1951  
Customer No.: 24131

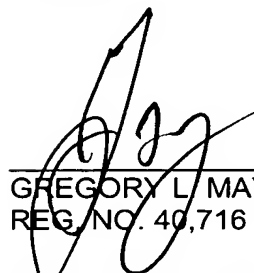
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 712.3 filed October 1, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK  
REG. NO. 40,716

Date: October 23, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 45 712.3

**Anmeldetag:** 1. Oktober 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Speicherschaltung mit einem Testmodus zum Schreiben von Testdaten

**IPC:** G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. September 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

HE...

## Beschreibung

Speicherschaltung mit einem Testmodus zum Schreiben von Testdaten

5

Die Erfindung betrifft eine Speicherschaltung mit einem Testmodus zum hochparallelen Schreiben von Testdaten in ein Speicherzellenfeld. Die Erfindung betrifft weiterhin ein Verfahren zum Schreiben von Daten in eine Speicherschaltung.

10 Dynamische Halbleiterspeicher (DRAM) weisen ein Speicherzellenfeld auf, bei dem Speicherzellen über Wortleitungen und Bitleitungen adressierbar sind. Die Speicherzellen umfassen jeweils eine Speicherkapazität, die durch die Aktivierung einer Wortleitung mit der jeweiligen Bitleitung verbunden wird,  
15 so dass die Ladung der Kapazität der entsprechenden Bitleitung hinzugefügt wird. Die Bitleitungen sind paarweise organisiert, wobei durch Aktivieren einer Wortleitung nur eine Speicherkapazität mit einer der beiden Bitleitungen des Bitleitungspaares verbunden wird. Dadurch entsteht eine geringe  
20 Ladungsdifferenz zwischen den Bitleitungen des Bitleitungspaares, die mit Hilfe eines primären Ausleseverstärkers verstärkt wird und einem sekundären Ausleseverstärker zugeführt wird. Dabei bilden mehrere primäre Ausleseverstärker eine Gruppe und sind jeweils über eine zugeordnete Schalteinrichtung  
25 mit einem sekundären Schreib-/Leseverstärker verbunden. Beim Schreiben eines Datums wird je nach anliegender Schreibadresse eine der Schalteinrichtungen aktiviert, um das an dem sekundären Ausleseverstärker anliegende zu schreibende Datum auf das entsprechende Bitleitungspaar durchzuschalten.

30 Dynamische Halbleiterspeicher (DRAM) müssen nach ihrer Produktion umfangreich gemäß vorgegebener Spezifikationen getestet werden. Dazu werden Testdaten in das Speicherzellenfeld geschrieben und anschließend wieder ausgelesen. Anschließend werden die hineingeschriebenen und ausgelesenen Daten miteinander  
35 verglichen, um einen eventuellen Fehler festzustellen.

Einige der Testabläufe verwenden sehr einfache Testmuster, bei denen im Wesentlichen das gleiche Datum in alle Speicheradressen des Speicherzellenfeldes geschrieben werden.

Das Schreiben wird üblicherweise nacheinander durchgeführt, d.h. die Speicheradressen werden nacheinander adressiert und beschrieben. Um das Schreiben von Daten in die Speicheradressen zu beschleunigen, werden heutzutage die Testdaten für den Test des DRAMs auf dem Chip z.B. in einer so genannten BIST-Schaltung (Built-in-Self-Test-Schaltung) generiert. Auch ist bekannt, bei Double-Datarate-DRAMs die Schreiblatenzzeit beim Schreiben von Testdaten zu verkürzen. Dies ist möglich, wenn die Testdaten innerhalb der integrierten Schaltung bekannt sind, so dass nicht mehr die Zeit gewartet werden muss, in der normalerweise die Testdaten in die integrierte Schaltung eingelesen werden. Alle Ansätze, mit denen das Schreiben von Testdaten beschleunigt werden soll, verwenden den Standarddatenpfad innerhalb der integrierten Schaltung, um die Testdaten in die jeweilige Speicheradresse der integrierten Schaltung zu schreiben.

20 Ferner ist auch bekannt, dass beim Testen alle Bänke einer Speicherschaltung gleichzeitig beschrieben werden, um somit das Schreiben von Testdaten um einen Faktor entsprechend der Anzahl der Speicherbänke (Faktor 4 bei 4 Speicherbänken) zu erhöhen.

25 Trotz aller Maßnahmen zur Erhöhung des Schreibens von Testdaten benötigt der Vorgang eine erhebliche Testzeit, und stellt somit einen nicht zu vernachlässigenden Kostenfaktor bei dem Testen von Speicherchips dar.

Es ist Aufgabe der vorliegenden Erfindung, eine Speicherschaltung zu schaffen, die schneller getestet werden kann. Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein Verfahren zum Testen einer solchen Speicherschaltung zur Verfügung zu stellen.

Diese Aufgabe wird durch die Speicherschaltung nach Anspruch 1 sowie das Verfahren zum Schreiben von Testdaten nach Anspruch 4 gelöst.

5 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

10 Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine Speicherschaltung mit einem Speicherzellenfeld vorgesehen. Das Speicherzellenfeld weist Speicherzellen auf, die über Wortleitungen und Bitleitungen adressierbar und über Schreibverstärker beschreibbar sind. Jeder der Schreibverstärker ist mehreren Bitleitungen zugeordnet. Ein Datum ist gemäß einer Schreibadresse in eine Speicherzelle über die adressierte Bitleitung mit Hilfe des zugeordneten Schreibverstärkers  
15 schreibbar. Erfindungsgemäß ist vorgesehen, dass eine Adressdecodierschaltung vorgesehen ist, um zum Schreiben eines Testdatums mehrere der Schreibverstärker abhängig von einem Testmodesignal gleichzeitig zu aktivieren, so dass die mehreren Schreibverstärker das anliegende Testdatum über die jeweils zugeordnete Bitleitungen schreiben.

20 Die erfindungsgemäße Speicherschaltung ist also so gestaltet, um Testdaten gleichzeitig in mehrere Speicheradressen hineinzuschreiben. Dies ist insbesondere bei Testverfahren sinnvoll, bei denen in die verschiedenen Speicheradressen jeweils das gleiche Testdatum geschrieben werden soll. Bei der erfindungsgemäßen Speicherschaltung wird genutzt, dass für eine  
25 Gruppe von Bitleitungen jeweils ein Schreibverstärker zur Verfügung steht, wobei die Schreibverstärker unabhängig voneinander, d.h. also auch gemeinsam, betrieben werden können.

30 Somit ist es möglich, die Schreibverstärker gleichzeitig zu aktivieren, so dass ein auf dem Datenbus anliegendes Testdatum an eine der jeweils zugeordneten, durch die Schreibadresse bestimmte Bitleitung angelegt wird.

Vorzugsweise ist jeder der Schreibverstärker über eine Schalteinrichtung mit den zugeordneten Bitleitungen verbindbar, um das Testdatum an den aktivierten Schreibverstärkern über die durch die Schreibadresse adressierte Bitleitung in die adressierte Speicherzelle zu schreiben. Die Schalteinrichtung erhält üblicherweise ebenfalls die Schreibadresse, um die Bitleitung der adressierten Speicherzelle mit dem Schreibverstärker zu verbinden. Vorzugsweise ist die Schalteinrichtung jeweils so gestaltet, um abhängig von dem Testmodesignal den Schreibverstärker gleichzeitig mit mehreren zugeordneten Bitleitungen zu verbinden.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Schreiben von Daten in eine Speicherschaltung vorgesehen. Dabei werden Speicherzellen über Wortleitungen und Bitleitungen adressiert und über Schreibverstärker beschrieben. Jeder der Schreibverstärker ist mehreren Bitleitungen zugeordnet ist, wobei ein Datum gemäß einer Schreibadresse in eine Speicherzelle über die adressierte Bitleitung mit Hilfe des zugeordneten Schreibverstärkers schreibbar ist. Zum Schreiben eines Testdatums werden mehrere der Schreibverstärker abhängig von einem Testmodesignal gleichzeitig aktiviert, so dass die mehreren Schreibverstärker das anliegende Testdatum über die jeweils zugeordnete Bitleitungen schreiben.

Es kann vorgesehen sein, dass die Schreibverstärker gleichzeitig jeweils mit mehreren der zugeordneten Bitleitungen zum Schreiben des Testdatums verbunden werden. Auf diese Weise kann ein auf dem Datenbus anliegendes Testdatum auch in mehrere Speicherzellen an Bitleitungen, die einem Schreibverstärker zugeoprdnet sind, geschrieben werden.

Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Fig. 1 schematisch den Aufbau eines Speicherzellenfeldes gemäß dem Stand der Technik; und

Fig. 2 einen Ausschnitt der Speicherschaltung gemäß einer bevorzugten Ausführungsform der Erfindung.

5 In Fig. 1 ist ein Ausschnitt einer Speicherschaltung gemäß dem Stand der Technik dargestellt. Die Speicherschaltung weist zwei nebeneinander angeordnete Speicherzellenfelder 1 auf, die Speicherzellen (nicht gezeigt) enthalten. Die Speicherzellen befinden sich an Kreuzungspunkten von Wortleitungen 2 und Bitleitungen 3a, 3b und sind über diese adressierbar. Zwei Speicherzellen sind beispielhaft durch einen ausgefüllten Kreis an den Kreuzungspunkten der ersten Wortleitung und ersten Bitleitung dargestellt. Die Wortleitungen 2 sind mit einem Wortleitungsdecoder 4 verbunden, um eine der Wortleitungen 2 gemäß einer Wortleitungsadresse WA, die dem Wortleitungsdecoder 4 bereitgestellt wird, zu aktivieren. Die Wortleitungsadresse WA stellt einen Teil einer Schreibadresse dar, die die Wortleitungsadresse WA und eine Bitleitungsadresse BA umfasst. Zur besseren Übersichtlichkeit sind in Fig. 1 nur 4 Wortleitungen dargestellt, pro Speicherzellenfeld 1 sind jedoch mehr als 4 Wortleitungen, üblicherweise mehrere Tausend Wortleitungen vorhanden.

Die Bitleitungen 3a, 3b sind in Bitleitungspaaren 3 organisiert, an deren einem Ende ein primärer Ausleseverstärker 5 angeordnet ist.

Wenn eine Wortleitung 2 aktiviert wird, so werden die Speicherkapazitäten der Speicherzellen mit jeweils einer der Bitleitungen 3a, 3b eines Bitleitungspaares 3 verbunden. Es entsteht jeweils ein geringer Ladungsunterschied auf den Bitleitungen 3a, 3b eines Bitleitungspaares 3, der durch den primären Ausleseverstärker 5 verstärkt wird.

Die Speicherschaltung weist Schreibverstärker 6 auf, die jeweils einer Gruppe von 8 Bitleitungspaaren 3 zugeordnet sind.

Jede Gruppe aus acht Bitleitungspaaren stellt ein y-Segment dar. Die Schreibverstärker 6 schreiben ein von Datenleitungen 7 bereitgestelltes Datum über die Bitleitungen 3a, 3b eines Bitleitungspaares 3. Die Bitleitungen 3a, 3b werden dazu jeweils über eine Schalteinrichtung 8 mit dem zugehörigen Schreibverstärker 6 verbunden.

Das Schreiben eines Datums in eine Speicheradresse erfolgt üblicherweise, indem zunächst ein Schreibverstärker 6 gesteuert durch einen Adressdecodierer 14 durch die zur Verfügung gestellte Bitleitungsadresse BA ausgewählt wird und ein Datum von den Datenleitungen 7 in den ausgewählten Schreibverstärker 6 übernommen wird. Der ausgewählte Schreibverstärker 6 stellt die zu schreibenden Daten dann auf einem Master-Datenleitungspaar 13 zur Verfügung. Von dem Master-Datenleitungspaar 13 wird das Datum über die Schalteinrichtung 8 an das angeschlossene Bitleitungspaar 3 mit den Bitleitungen 3a, 3b angelegt. Die Schalteinrichtung 8 ist ebenfalls über den Adressdecodierer 14 angesteuert.

Im Normalbetrieb der Speicherschaltung wird nur eine Schalteinrichtung durchgeschaltet, um die angeschlossene Bitleitung mit dem Schreibverstärker 6 zu verbinden. Der primäre Ausleseverstärker 5, der sich an jedem Bitleitungspaar 3 befindet, wird zum Schreiben der Daten im Wesentlichen nicht genutzt.

Die erfindungsgemäße Speicherschaltung ist in einer vergrößerten Darstellung in Fig. 2 gezeigt. Die Speicherschaltung nach Fig. 2 entspricht im Wesentlichen der in Fig. 1 gezeigten. Gleiche Bezugszeichen beziehen sich auf gleiche Elemente.

In Fig. 2 ist aus Gründen der Übersichtlichkeit nur ein linker Teil eines y-Segments eines Speicherzellenfeldes 1 dargestellt, der sich auf der linken Seite des Speicherzellenfeldes 1 der Fig. 1 befindet.



Jeder Schreibverstärker 6 weist als Ausgang Master-Datenleitungspaare 13 auf, auf denen die zu schreibenden Daten ausgegeben werden. Im in Fig. 2 dargestellten Beispiel weist der Schreibverstärker 6 ein oberes und ein unteres Master-Datenleitungspaar 13 auf. Auf den Master-Datenleitungsparen werden die Daten differentiell übertragen. Das obere Master-Datenleitungspaar 13 ist über Segmentschalter 12 mit einem Datenleitungspaar 9 verbunden, so dass auch auf dem Datenleitungspaar 9 die zu schreibenden Daten differentiell anliegen. Der Segmentschalter 12 wird durch höherwertige Bits der Wortleitungsadresse angesteuert und wählt im Wesentlichen das Speichersegment, auf das zugegriffen werden soll, aus. Die Ansteuerung der Segmentschalter 12 folgt üblicherweise durch den Wortleitungsdecoder 4 und ist aus Übersichtlichkeitsgründen in der Fig. 2 nicht dargestellt. Das Datenleitungspaar 9 ist mit den Schalteinrichtungen 8 für jedes Bitleitungspaar verbunden.

Das untere Master-Datenleitungspaar 13 ist gestrichelt dargestellt und über weitere Segmentschalter mit einem oder mehreren weiteren Datenleitungsparen von weiteren Speicherzellenfeldern 1 verbunden.

Am rechten Rand des Speicherzellenfelds 1 ist eine vergleichbare Anordnung vorgesehen, d.h. jedes zweite Bitleitungspaar 3 ist mit einem primären Ausleseverstärker auf der rechten Seite des Speicherzellenfelds 1 verbunden, der schaltbar über weitere Schaltvorrichtungen mit einem weiteren Datenleitungspaar 9 verbunden ist. Das weitere Datenleitungspaar ist über weitere Segmentschalter 12 mit dem unteren Masterdatenleitungspaar 13 verbindbar.

Um die adressierte Speicherzelle anzusteuern, muss über eine Bitleitungsadresse BA die entsprechende Bitleitung bzw. das entsprechende Bitleitungspaar 3 ausgewählt werden. Dazu ist ein Bitleitungsadressdecodierer 14 vorgesehen, der aus Übersichtlichkeitsgründen in Figur 2 als ein Block dargestellt

ist. Der Bitleitungsadressdecodierer 14 kann jedoch auch mehrfach und nahe der jeweiligen Schalteinrichtung 8, die über den Bitleitungsadressdecodierer 14 angesteuert wird bzw. in der Nähe jedes Schreibverstärkers 6 angeordnet sein. Der  
5 Bitleitungsadressdecodierer 14 generiert abhängig von der angelegten Bitleitungsadresse BA ein Spaltenauswahlsignal CSL, das jeweils mit der auszuwählenden Schalteinrichtung 8 verbunden ist, so dass die Schalteinrichtung 8 abhängig von dem Spaltenauswahlsignal geschaltet werden kann. Die Auswahllei-  
10 tung 11 erstreckt sich üblicherweise über mehrere Speicherzellenfelder 1, ist jedoch aus Übersichtlichkeitsgründen nur als Verbindung zwischen den Bitleitungsadressdecodierer 10 und der Schalteinrichtung 8 dargestellt.

Der Schreibverstärker 6 wird ebenfalls über den Bitleitung-  
15 sadressdecodierer 14 durch die Bitleitungsadresse BA ausgewählt. Vorzugsweise wird die Bitleitungsadresse BA in einen höherwertigen Teil und einen niederwertigen Teil unterschieden. Während die Spaltenauswahlleitung 11 mit dem höherwertigen und dem niederwertigen Teil der Bitleitungsadresse BA  
20 ausgewählt werden, werden Schreibverstärker 6 nur mit Hilfe des höherwertigen Teils der Bitleitungsadressen BA zum Schreiben von Daten ausgewählt. Wird der Bitleitungsadressdecodierer 14 mehrfach nahe den jeweils anzusteuernenden Schreibverstärkern 6 angeordnet, so ist eine Decodierschaltung nur  
25 für den höherwertigen Teil der Bitleitungsadressen BA ausreichend.

Bei einer herkömmlichen Speicherschaltung bestimmt die Bitleitungsadresse BA, welche der Spaltenauswahlleitungen 11 aktiviert wird. Das aktivierte Spaltenauswahlsignal CSL auf den  
30 Spaltenauswahlleitungen 11 schaltet die sich daran befindlichen Schalteinrichtung 8 durch. Auf diese Weise wird das an dem Schreibverstärker 6 anliegende Datum über den Segment-  
schalter 12, das Datenleitungspaar 9, die adressierte Schalteinrichtung 8 auf das adressierte Bitleitungspaar 3 durchge-  
35 schaltet.

Der Bitleitungsadressdecodierer 14 ist so gestaltet, um ein Testmodesignal TM zu empfangen. Ein aktiviertes Testmodesignal TM bewirkt, dass die Decodierung der höherwertigen y-Adressbits, d.h. des höherwertigen Teils der Bitleitungsadresse, die für die Auswahl des y-Segments des Speicherzellenfelds verantwortlich ist, maskiert, d.h. ausgesetzt wird. Dabei werden die höherwertigen y-Adressbits fest auf gültig gesetzt, so dass alle Schreibverstärker 6 jedes Segments bei einem aktivierten Testmodesignal TM ausgewählt werden. Die unteren Bitleitungsadressbits wählen die Spaltenauswahlleitung 11 aus, die angibt, welche der Schalteinrichtungen 8 durchgeschaltet werden soll.

Liegt ein Datum an den Datenleitungen 7 an, werden diese durch den Schreibverstärker 6 verstärkt und auf das Master-Datenleitungspaar 13 ausgegeben. Über die Segmentschalter 12 und die Schaltvorrichtungen 8 wird das Datum an das adressierte Bitleitungspaar 3 angelegt. Da der geringerwertige Teil der Bitleitungsadresse BA nicht maskiert wird, wird in jedem y-Segment des Speicherzellenfeldes 1 eine der Schalteinrichtungen 8 ausgewählt, so dass in allen y-Segmenten parallel auf eine aktivierte Bitleitung 3 geschrieben wird.

Die erfindungsgemäße Schaltung kann so vorgesehen sein, damit beim Testen der integrierten Speicherschaltung Testdaten parallel in die Speicherzellen des Speicherzellenfelds geschrieben werden können. Die zuvor dargestellte Schaltung hat den Vorteil, dass lediglich der Bitleitungsadressdecodierer 14 geändert werden muss, um das gleichzeitige Beschreiben der Speicherzellen zu ermöglichen. Der zusätzliche Schaltungsaufwand ist auch dann gering, wenn anstelle eines einzelnen Bitleitungsadressdecodierers 14 mehrere Bitleitungsadressdecodierer 14 nahe den jeweiligen Schalteinrichtungen 8 bzw. Schreibverstärker 6 vorgesehen sind.

Das Maskieren, d.h. Blockieren des Auswählens der y-Segmente durch die höherwertigen Teile der Bitleitungsadressbits kann

modifiziert werden, indem nur ein Teil der y-Segmente aktiviert werden. Dies ist dann sinnvoll, wenn das gleichzeitige Schreiben eine zu große Belastung der Spannungsnetze im Inneren der integrierten Speicherschaltung verursachen würde. Aus diesem Grund kann vorgesehen sein, dass mehrere Testmode-Leitungen den Bitleitungsadressdecodierern 14 zugeführt werden, wobei der beschriebene Testmode zum gleichzeitigen Schreiben von Daten mit einer Anzahl von Bitleitungsadressdecodierern 14 durchgeführt wird, bei der die Spannungsversorgungsnetze innerhalb der integrierten Schaltung gerade nicht überlasten.

Der Bitleitungsadressdecodierer 14 kann abhängig von dem Testmodesignal TM oder abhängig von weiteren Testmodesignalen auch vorsehen, mehr als eine der Spaltenauswahlleitungen 11 pro y-Segment zu aktivieren, so dass das Datenleitungspaar 9 gleichzeitig mit mehr als einem Bitleitungspaar 3 verbunden wird.

## Patentansprüche

1. Speicherschaltung mit einem Speicherzellenfeld (1),  
wobei Speicherzellen im Speicherzellenfeld über Wortleitungen  
5 (2) und Bitleitungen (3) adressierbar und über Schreibver-  
stärker (6) beschreibbar sind,  
wobei jeder der Schreibverstärker (6) mehreren Bitleitungen  
(3a, 3b) zugeordnet ist,  
wobei ein Datum gemäß einer Schreibadresse in eine Speicher-  
10 zelle über die adressierte Bitleitung (3a, 3b) mit Hilfe des  
zugeordneten Schreibverstärkers (6) schreibbar ist,  
d a d u r c h g e k e n n z e i c h n e t,  
dass eine Adressdecodierschaltung (14) vorgesehen ist, um zum  
Schreiben eines Testdatums mehrere der Schreibverstärker (6)  
15 abhängig von einem Testmodesignal (TM) gleichzeitig zu akti-  
vieren, so dass die mehreren Schreibverstärker (6) das anlie-  
gende Testdatum über die jeweils zugeordnete Bitleitungen  
(3a, 3b) schreiben.
2. Speicherschaltung nach Anspruch 1, dadurch gekennzeich-  
20 net, dass jeder der Schreibverstärker über eine Schaltein-  
richtung (8) mit den zugeordneten Bitleitungen (3a, 3b) ver-  
bindbar ist, um das Datum an den aktivierten Schreibverstär-  
kern (6) über die durch die Schreibadresse adressierte Bit-  
leitung (3a, 3b) in die adressierte Speicherzelle zu schrei-  
25 ben.
3. Speicherschaltung nach Anspruch 2, dadurch gekennzeich-  
net, dass die Adressdecodierschaltung (14) jeweils so gestal-  
tet ist, um abhängig von dem Testmodesignal den Schreibver-  
stärker (6) gleichzeitig mit mehreren zugeordneten Bitleitun-  
30 gen (3a, 3b) zu verbinden.
4. Verfahren zum Schreiben von Daten in eine Speicherschal-  
tung,  
wobei Speicherzellen im Speicherzellenfeld (1) über Wortlei-  
tungen (2) und Bitleitungen (3a, 3b) adressierbar und über

Schreibverstärker (6) beschreibbar sind,  
wobei jeder der Schreibverstärker (6) mehreren Bitleitungen  
(3a, 3b) zugeordnet ist,  
wobei ein Datum gemäß einer Schreibadresse in eine Speicher-  
5 zelle über die adressierte Bitleitung mit Hilfe des zugeord-  
neten Schreibverstärkers (6) schreibbar ist,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass zum Schreiben eines Testdatums mehrere der Schreibver-  
stärker (6) abhängig von einem Testmodesignal (TM) gleichzei-  
10 tig aktiviert werden, so dass die mehreren Schreibverstärker  
(6) das anliegende Testdatum über die jeweils zugeordnete  
Bitleitungen (3a, 3b) schreiben.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass  
die Schreibverstärker (6) gleichzeitig jeweils mit mehreren  
15 der zugeordneten Bitleitungen (3a, 3b) zum Schreiben des  
Testdatums verbunden werden.

## Zusammenfassung

Speicherschaltung mit einem Testmodus zum Schreiben von Testdaten

5

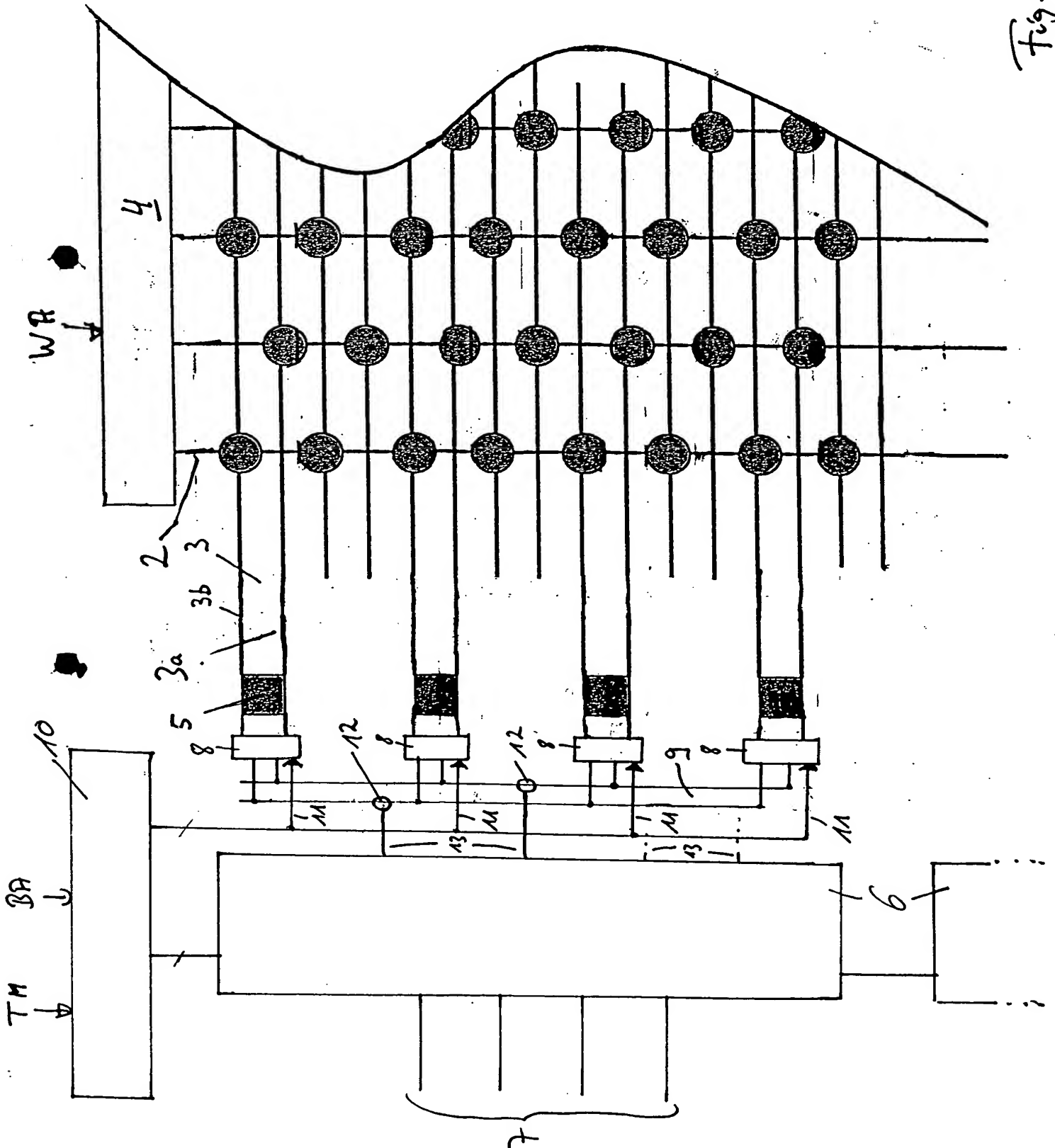
Die Erfindung betrifft eine Speicherschaltung mit einem Speicherzellenfeld (1), wobei Speicherzellen im Speicherzellenfeld über Wortleitungen (2) und Bitleitungen (3) adressierbar und über Schreibverstärker (6) beschreibbar sind, wobei jeder der Schreibverstärker (6) mehreren Bitleitungen (3a, 3b) zugeordnet ist, wobei ein Datum gemäß einer Schreibadresse in eine Speicherzelle über die adressierte Bitleitung (3a, 3b) mit Hilfe des zugeordneten Schreibverstärkers (6) schreibbar ist, wobei eine Adressdecodierschaltung (10) vorgesehen ist, um zum Schreiben eines Testdatums mehrere der Schreibverstärker (6) abhängig von einem Testmodesignal (TM) gleichzeitig zu aktivieren, so dass die mehreren Schreibverstärker (6) das anliegende Testdatum über die jeweils zugeordnete Bitleitungen (3a, 3b) schreiben.

20

Figur 2

Figur für die  
Zusammenfassung

Fig. 2





## Bezugszeichenliste

	1	Speicherzellenfeld
	2	Wortleitung
	3	Bitleitungspaar
5	3a, 3b	Bitleitungen
	4	Wortleitungsadressdecoder
	5	primärer Ausleseverstärker
	6	Schreibverstärker
	7	Datenausgangsleitungspaar
10	8	Schalteinrichtung
	9	Datenleitungspaar
	11	Spaltenauswahlleitung
	12	Segmentschalter
	13	Masterdatenleitungspaar
15	14	Bitleitungsadressdecoder
	15	Testmodeleitung

1/2

Fig. 1

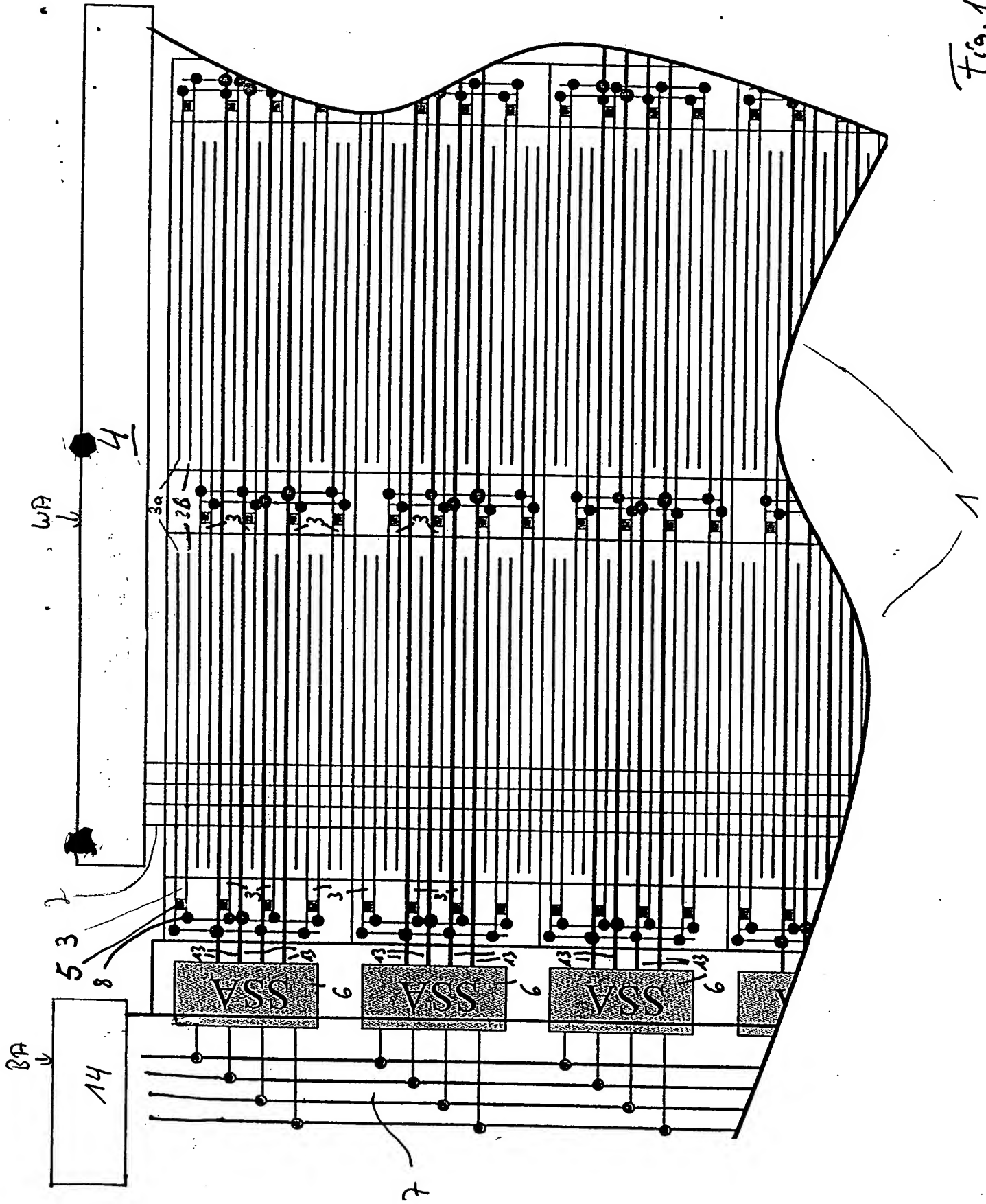


Fig. 2

